


**THIN FILM SEMICONDUCTOR INTEGRATED CIRCUIT**

**Patent number:** JP7321334  
**Publication date:** 1995-12-08  
**Inventor:** KAWASAKI YUJI; KOYAMA JUN  
**Applicant:** SEMICONDUCTOR ENERGY LAB  
**Classification:**  
- international: **H03K17/10; H03K19/003; H03K17/10; H03K19/003;**  
(IPC1-7): H01L29/786; H01L21/8238; H01L27/092  
- european: H03K17/10B; H03K19/003C  
**Application number:** JP19940131417 19940520  
**Priority number(s):** JP19940131417 19940520

Also published as:

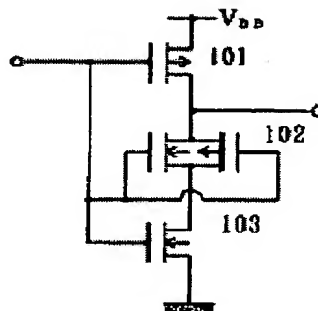
 US5598106 (A1)  
CN1560998 (A)  
CN1150620C (C)

[Report a data error here](#)

**Abstract of JP7321334**

**PURPOSE:**To weaken an electric field in proximity to the drain of an n-channel thin film transistor and thus prevent degradation in characteristics, by placing a transmission gate circuit between a p-channel thin film transistor and the n-channel thin film transistor.

**CONSTITUTION:**In an inverter circuit composed of thin film transistors, a transmission gate circuit 102 is connected with input, and is placed between a p-channel thin film transistor 101 and an n-channel thin film transistor 103. The transmission gate circuit 102 is a switching circuit that conducts regardless of the level of input signals. Further, it has voltage drop and thus the effect of weakening an electric field in proximity to the drain of the n-channel thin film transistor 103. This prevents the characteristics of the n-channel thin film transistor 103 from degrading. More than one transmission gate circuits 102 may be connected.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3407975号

(P3407975)

(45) 発行日 平成15年5月19日 (2003. 5. 19)

(24) 登録日 平成15年3月14日 (2003. 3. 14)

| (51) Int.Cl. <sup>7</sup> | 識別記号  | F I            |         |
|---------------------------|-------|----------------|---------|
| H 0 1 L 29/786            |       | H 0 1 L 27/08  | 3 3 1 E |
| 21/8238                   |       | 29/78          | 6 1 3 A |
| 27/08                     | 3 3 1 |                | 6 1 4   |
| 27/092                    |       | 27/08          | 3 2 1 L |
| H 0 3 K 19/0948           |       | H 0 3 K 19/094 | B       |

請求項の数11(全 10 頁)

|           |                          |           |  |
|-----------|--------------------------|-----------|--|
| (21) 出願番号 | 特願平6-131417              | (73) 特許権者 | 000153878<br>株式会社半導体エネルギー研究所<br>神奈川県厚木市長谷398番地                           |
| (22) 出願日  | 平成6年5月20日 (1994. 5. 20)  | (72) 発明者  | 河崎 祐司<br>神奈川県厚木市長谷398番地 株式会社<br>半導体エネルギー研究所内                             |
| (65) 公開番号 | 特開平7-321334              | (72) 発明者  | 小山 潤<br>神奈川県厚木市長谷398番地 株式会社<br>半導体エネルギー研究所内                              |
| (43) 公開日  | 平成7年12月8日 (1995. 12. 8)  | (74) 代理人  | 100086368<br>弁理士 萩原 誠  |
| 審査請求日     | 平成11年8月31日 (1999. 8. 31) | 審査官       | 河本 充雄  |
|           |                          | (56) 参考文献 | 特開 平5-259891 (J P, A)<br>特開 平3-101162 (J P, A)<br>特開 昭61-172435 (J P, A) |

最終頁に続く

(54) 【発明の名称】 薄膜半導体集積回路

1

(57) 【特許請求の範囲】

【請求項1】 ソースが電源端子に接続され、ドレインが出力端子に接続されたPチャネル型の第1の薄膜トランジスタと、

ソースが接地端子に接続され、ドレインが前記出力端子に接続されたNチャネル型の第2の薄膜トランジスタとを含み、

前記第1の薄膜トランジスタのゲートと、前記第2の薄膜トランジスタのゲートとは入力端子に共通接続されてなる薄膜半導体集積回路において、

Nチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとのソース及びドレイン同士を共通接続したトランスミッションゲート回路を設け、

前記第2の薄膜トランジスタの前記ドレインを、前記トランスミッションゲート回路を介して前記出力端子に接

2

続し、

前記トランスミッションゲート回路のNチャネル型の薄膜トランジスタ及びPチャネル型の薄膜トランジスタのゲートを前記入力端子に接続してなることを特徴とする薄膜半導体集積回路。

【請求項2】 ソースが電源端子に接続され、ドレインが出力端子に接続されたPチャネル型の第1の薄膜トランジスタと、

10 ソースが接地端子に接続され、ドレインが前記出力端子に接続されたNチャネル型の第2の薄膜トランジスタとを含み、

前記第1の薄膜トランジスタのゲートと、前記第2の薄膜トランジスタのゲートとは入力端子に共通接続されてなる薄膜半導体集積回路において、

Nチャネル型の薄膜トランジスタとPチャネル型の薄膜

## 3

トランジスタとのソース及びドレイン同士を共通接続したトランスミッションゲート回路と、Nチャネル型の第3の薄膜トランジスタとを設け、

前記第2の薄膜トランジスタの前記ドレインを、前記第3の薄膜トランジスタと前記トランスミッションゲート回路とを介して前記出力端子に接続し、

前記トランスミッションゲート回路のNチャネル型の薄膜トランジスタ及びPチャネル型の薄膜トランジスタのゲートと、前記第3の薄膜トランジスタのゲートとを前記入力端子に接続してなることを特徴とする薄膜半導体集積回路。

【請求項3】 ソースが電源端子に接続され、ドレインが出力端子に接続されたPチャネル型の第1の薄膜トランジスタと、

ソースが接地端子に接続され、ドレインが前記出力端子に接続されたNチャネル型の第2の薄膜トランジスタとを含み、

前記第1の薄膜トランジスタのゲートと、前記第2の薄膜トランジスタのゲートとは入力端子に共通接続されてなる薄膜半導体集積回路において、

Nチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとのソース及びドレイン同士を共通接続したトランスミッションゲート回路と、Nチャネル型又はPチャネル型の第3の薄膜トランジスタとを設け、

前記第2の薄膜トランジスタの前記ドレインを、前記第3の薄膜トランジスタと前記トランスミッションゲート回路とを介して前記出力端子に接続し、

前記トランスミッションゲート回路のNチャネル型の薄膜トランジスタ及びPチャネル型の薄膜トランジスタのゲートを前記入力端子に接続し、

前記第3の薄膜トランジスタのゲートを所定の電位を与える電源端子に接続してなり、

前記所定の電位により前記第3の薄膜トランジスタは常時ON状態にされることを特徴とする薄膜半導体集積回路。

【請求項4】 ソースが電源端子に接続され、ドレインが出力端子に接続されたPチャネル型の第1の薄膜トランジスタと、

ソースが接地端子に接続され、ドレインが前記出力端子に接続されたNチャネル型の第2の薄膜トランジスタとを含み、

前記第1の薄膜トランジスタのゲートと、前記第2の薄膜トランジスタのゲートとは入力端子に共通接続されてなる薄膜半導体集積回路において、

Nチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとのソース及びドレイン同士を共通接続したトランスミッションゲート回路と、Nチャネル型の第3の薄膜トランジスタと、Pチャネル型の第4の薄膜トランジスタとを設け、

前記第2の薄膜トランジスタの前記ドレインを、前記第

## 4

3の薄膜トランジスタ、前記第4の薄膜トランジスタ、及び前記トランスミッションゲート回路を介して前記出力端子に接続し、

前記トランスミッションゲート回路のNチャネル型の薄膜トランジスタ及びPチャネル型の薄膜トランジスタのゲートと、前記第3の薄膜トランジスタのゲートとを前記入力端子に接続し、

前記第4の薄膜トランジスタのゲートを所定の電位を与える電源端子に接続してなり、

10 前記所定の電位により前記第4の薄膜トランジスタは常時ON状態にされることを特徴とする薄膜半導体集積回路。

【請求項5】 ソースが電源端子に接続され、ドレインが出力端子に接続されたPチャネル型の第1の薄膜トランジスタと、

ソースが接地端子に接続され、ドレインが前記出力端子に接続されたNチャネル型の第2の薄膜トランジスタとを含み、

20 前記第1の薄膜トランジスタのゲートと、前記第2の薄膜トランジスタのゲートとは入力端子に共通接続されてなる薄膜半導体集積回路において、

Nチャネル型の薄膜トランジスタとPチャネル型の薄膜トランジスタとのソース及びドレイン同士を共通接続したトランスミッションゲート回路と、Nチャネル型の第3の薄膜トランジスタと、Pチャネル型の第4の薄膜トランジスタとを設け、

30 前記第2の薄膜トランジスタの前記ドレインを、前記第3の薄膜トランジスタ、前記第4の薄膜トランジスタ、及び前記トランスミッションゲート回路を介して前記出力端子に接続し、

前記トランスミッションゲート回路のNチャネル型の薄膜トランジスタ及びPチャネル型の薄膜トランジスタのゲートを前記入力端子に接続し、

前記第3及び前記第4の薄膜トランジスタのゲートをそれぞれ所定の電位を与える電源端子に接続してなり、

前記第3及び前記第4の薄膜トランジスタにそれぞれ与えられた電位によって前記第3及び前記第4の薄膜トランジスタはそれぞれ常時ON状態にされることを特徴とする薄膜半導体集積回路。

40 【請求項6】 Pチャネル型の第1の薄膜トランジスタとNチャネル型の第2の薄膜トランジスタとを有するインバータ回路を有し、前記第1及び前記第2の薄膜トランジスタのゲートは前記インバータ回路の入力端子に接続され、前記第1の薄膜トランジスタのドレインは前記インバータ回路の出力端子に接続され、前記第2の薄膜トランジスタのドレインはトランスミッションゲート回路を介して前記インバータ回路の出力端子に接続され、  
50 前記第1の薄膜トランジスタのソースは第1の電源端子に接続され、前記第2の薄膜トランジスタのソースは第2の電源端子に接続され、前記第2の電源端子には前記



れぞれ前記入力端子と異なる端子に接続され、前記第3及び前記第4の薄膜トランジスタそれぞれのゲートに印加された電圧によって前記第3及び前記第4の薄膜トランジスタはそれぞれ常時ON状態にされることを特徴とする薄膜半導体集積回路。

【請求項11】 入力配線と、第1のゲート電極及び配線と、第2のゲート電極及び配線と、第3のゲート電極及び配線と、接地配線と、配線Aと、配線Bと、ドレイン配線と、出力配線と、第1のN型半導体領域対を有する半導体膜と、第2のN型半導体領域対を有する半導体膜と、第1のP型半導体領域対を有する半導体膜と、第2のP型半導体領域対を有する半導体膜とを有し、前記第1、前記第2及び前記第3のゲート電極及び配線は前記入力配線に接続され、前記第1のゲート電極及び配線は前記第3のゲート電極及び配線と同一直線上に配置され、前記第2のゲート電極及び配線は前記入力配線と同一直線上に配置され、前記第1及び前記第3のゲート電極及び配線と前記第2のゲート電極及び配線及び前記入力配線とは直交して配置され、前記第1のゲート電極と前記第1のN型半導体領域対を有する半導体膜とを用いて第1のNチャネル型薄膜トランジスタが形成され、前記第3のゲート電極と前記第1のP型半導体領域対を有する半導体膜とを用いて第1のPチャネル型薄膜トランジスタが形成され、前記第2のゲート電極と前記第2のN型半導体領域対を有する半導体膜とを用いて第2のNチャネル型薄膜トランジスタが形成され、前記第2のゲート電極と前記第2のP型半導体領域対を有する半導体膜とを用いて第2のPチャネル型薄膜トランジスタが形成され、前記第1のN型半導体領域対の一方は前記接地配線に接続され、前記第1のN型半導体領域対の他方と前記第2のN型半導体領域対の一方と前記第2のP型半導体領域対の一方とは前記配線Aを介して接続され、前記第2のN型半導体領域対の他方と前記第2のP型半導体領域対の他方と前記第1のP型半導体領域対の一方とは前記配線Bを介して接続され、前記配線Bは前記出力配線に接続され、前記第1のP型半導体領域対の他方は前記ドレイン配線に接続され、前記配線A及び前記配線Bは、前記第2のゲート電極及び配線に平行に配置されることを特徴とする薄膜半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高信頼性を要求される

薄膜半導体集積回路において、Nチャネル型薄膜トランジスタの劣化を防止する薄膜半導体集積回路に関する。

【0002】

【従来の技術】図4に示すように、薄膜トランジスタで構成されるインバータ回路は、Pチャネル型薄膜トランジスタ(401)とNチャネル型薄膜トランジスタ(402)の各々のドレイン電極を接続したものである。この場合、前記Nチャネル型薄膜トランジスタ(402)のドレイン電極に過大な電流が流れる。

10 【0003】図5に示すように、図4のNチャネル型薄膜トランジスタ(402)のドレイン電圧が高い場合、前記Nチャネル型薄膜トランジスタ(402)のゲート電極内の電子が、ドレイン近傍の絶縁膜である酸化膜内に捕獲されることになり、ドレインとチャネル形成領域の境界部分に、弱いP型領域が形成される。これは、前記Nチャネル型薄膜トランジスタ(402)にとって、ドレイン電流を妨げることになる。従って、図6に示すように $V_{DS}$ を通常の場合より大きくして、前記Nチャネル型薄膜トランジスタ(402)のチャネル形成領域の厚さを増して、弱いP型領域の影響を小さくする必要

20 がある。  
【0004】そのため、Nチャネル型薄膜トランジスタの特性が変化し、Pチャネル型薄膜トランジスタより劣化し易くなり、この特性の劣化が薄膜半導体集積回路の信頼性を落とすことになっている。このことは、他の基本回路、例えばNAND回路でも同様である。即ち、この場合にも、インバータ回路と同様にGNDに接地されているNチャネル型薄膜トランジスタが劣化し易くなる原因になっている。

30 【0005】

【発明が解決しようとする課題】前述のように、ドレイン電圧が高い場合、ドレイン近傍に強い電界が発生し、そのことによりチャネル形成領域内に弱いP型領域が形成され、ドレイン電流を妨げている。このため、Pチャネル型薄膜トランジスタに比較してNチャネル型薄膜トランジスタの方が特性の劣化が早く問題になっていた。

【0006】

40 【課題を解決するための手段】図1(a)に示すように、薄膜トランジスタで構成されるインバータ回路について、Pチャネル型薄膜トランジスタ(101)とNチャネル型薄膜トランジスタ(102)の間に、トランスミッションゲート回路(103)を挿入して、挿入した前記トランスミッションゲート回路(103)により電圧降下させて、Nチャネル型薄膜トランジスタ(102)のドレイン近傍の電界を弱めて、特性の劣化を防止する。

50 【0007】また図3(a)に示すように、薄膜トランジスタで構成されるインバータ回路について、Pチャネル型薄膜トランジスタ(301)とNチャネル型薄膜トランジスタ(302)の間に、Nチャネル型薄膜トラン

ジスタ(303)とPチャネル型薄膜トランジスタ(304)を挿入して、挿入した前記Nチャネル型薄膜トランジスタ(303)とPチャネル型薄膜トランジスタ(304)により電圧降下させて、Nチャネル型薄膜トランジスタ(302)のドレイン近傍の電界を弱めて、特性の劣化を防止する。

【0008】また図3(c)に示すように、薄膜トランジスタで構成されるインバータ回路について、Pチャネル型薄膜トランジスタ(301)とNチャネル型薄膜トランジスタ(302)の間に、Nチャネル型薄膜トランジスタ(306)を挿入して、挿入した前記Nチャネル型薄膜トランジスタ(306)により電圧降下させて、Nチャネル型薄膜トランジスタ(302)のドレイン近傍の電界を弱めて、特性の劣化を防止する。

【0009】また図2(a)に示すように、薄膜トランジスタで構成されるNAND回路について、Nチャネル型薄膜トランジスタ(203)のソース電極がGNDに接地されている場合、前記Nチャネル型薄膜トランジスタ(203)のドレイン電極に、Nチャネル型薄膜トランジスタ(204)とPチャネル型薄膜トランジスタ(205)を接続することにより電圧降下させて、前記GNDに接地されている前記Nチャネル型薄膜トランジスタ(203)のドレイン近傍の電界を弱めて、特性の劣化を防止する。以下、本発明の実施例を説明する。

#### 【0010】

##### 【実施例】

【実施例1】図1(a)に示すのは、薄膜トランジスタで構成されるインバータ回路において、トランスミッションゲート回路(102)を入力と接続し、Pチャネル型薄膜トランジスタ(101)とNチャネル型薄膜トランジスタ(103)の間に挿入した例である。前記トランスミッションゲート回路(102)は、入力信号のレベルに関わらず導通するスイッチ回路であり、なおかつ電圧降下があるため、Nチャネル型薄膜トランジスタ(103)のドレイン近傍の電界を弱める効果がある。よって、Nチャネル型薄膜トランジスタ(103)の特性の劣化を防止することができる。尚、前記トランスミッションゲート回路(102)の数は複数個接続しても構わない。

【0011】図10に本実施例1のレイアウトの図を示す。特徴的なことは、ゲート電極に接続する配線は十文字型をしていることである。そして、この十文字型のゲート電極・配線を横断するように、トランジスタが設けられている。配線(1)はドレイン電圧を供給するドレイン配線、配線(2)は接地電位を供給する接地配線である。ゲート電極・配線は大きく4つの部分に分けられる。すなわち、入力配線(3)、第1のゲート電極・配線(4)、第2のゲート電極・配線(5)、第3のゲート電極・配線(6)である。このうち、ゲート電極・配線(4)、(6)と、ゲート電極・配線(5)、入力配

線(3)はそれぞれ、同一直線上に存在する。また、ゲート電極・配線(4)、(6)とゲート電極・配線(5)、入力配線(3)は概略直交する。

【0012】第1のゲート電極・配線(4)を横断して、N型半導体領域対(7)が設けられ、すなわち、Nチャネル型の薄膜トランジスタが形成される。同様に、第3のゲート電極・配線(6)を横断して、P型半導体領域対(10)が設けられ、Nチャネル型の薄膜トランジスタが形成される。また、第2のゲート電極・配線(5)に関しては、これを横断して、N型半導体領域対(8)およびP型半導体領域対(9)が各1つ設けられ、Nチャネル型およびPチャネル型薄膜トランジスタが各1つ形成される。

【0013】N型半導体領域対(7)の一方は接地配線(2)に、また、P型半導体領域対(10)の一方はドレイン配線(1)に接続される。さらに、第2のゲート電極・配線(5)と概略平行に配線(11)および(12)が設けられる。配線(11)は、N型半導体領域対(7)、(8)およびP型半導体領域対(9)を結び、配線(12)は、P型半導体領域対(9)、(10)およびN型半導体領域対(8)を結ぶ。配線(12)からは出力配線(13)が延在する。なお、図10には、P型半導体領域対(9)が存在するが、これが存在しない場合が、図3(c)である。また、図3(a)および(b)は、図3(c)の変形であり、図10から、P型半導体領域対(9)を除いたものが、その基本となる。

【0014】【実施例2】図1(b)に示すのは、薄膜トランジスタで構成されるインバータ回路において、前記トランスミッションゲート回路(102)とNチャネル型薄膜トランジスタ(103)の間にNチャネル型薄膜トランジスタ(104)を挿入し、前記Nチャネル型薄膜トランジスタ(104)に該インバータ回路の入力信号を印加した例である。この場合では図1(a)の場合と比較して電圧降下が大きい分だけ、GNDにソース電極を接地したNチャネル型薄膜トランジスタ(103)のドレイン近傍の電界を弱める効果は大きくなり、特性の劣化を防止することができる。尚、挿入するNチャネル型薄膜トランジスタ(104)の数は複数個接続しても構わない。本実施例では、図1(a)にNチャネル型薄膜トランジスタ(104)が挿入されたものである。図10に示す構造を基本としたものであることに違いはない。

【0015】【実施例3】図1(c)に示すのは、薄膜トランジスタで構成されるインバータ回路において、図1(a)で示す前記トランスミッションゲート回路(102)とNチャネル型薄膜トランジスタ(103)の間に、常時ON状態にしたNチャネル型薄膜トランジスタ(105)を挿入した例である。図1(a)の場合と比較して、挿入したNチャネル型薄膜トランジスタの電圧

降下分だけ、GNDにソース電極を接地したNチャネル型薄膜トランジスタ(103)の特性の劣化を防止することができる。尚、挿入するNチャネル型薄膜トランジスタ(105)の数は複数個接続しても構わない。本実施例では、図1(a)にNチャネル型薄膜トランジスタ(105)が挿入されたものであるので、図10に示す構造を基本としたものであることに違いはない。

【0016】〔実施例4〕図1(d)に示すのは、薄膜トランジスタで構成されるインバータ回路において、図1(a)で示す前記トランスミッションゲート回路(102)とNチャネル型薄膜トランジスタ(103)の間に、常時ON状態にしたPチャネル型薄膜トランジスタ(106)を挿入した例である。図1(a)の場合と比較して、挿入したPチャネル型薄膜トランジスタの電圧降下分だけ、GNDにソース電極を接地したNチャネル型薄膜トランジスタ(103)の特性の劣化を防止することができる。尚、挿入するPチャネル型薄膜トランジスタ(106)の数は複数個接続しても構わない。本実施例では、図1(a)にPチャネル型薄膜トランジスタ(106)が挿入されたものであるので、図10に示す構造を基本としたものであることに違いはない。

【0017】〔実施例5〕図2(a)に示すのは、薄膜トランジスタで構成されるインバータ回路において、図1(b)で示すインバータ回路の2個のNチャネル型薄膜トランジスタ(104、103)の間に、常時ON状態にしたPチャネル型薄膜トランジスタ(205)を挿入した例である。この該Pチャネル型薄膜トランジスタにより電圧降下をし、GNDにソース電極を接地したNチャネル型薄膜トランジスタ(203)の特性の劣化を防止することができる。尚、挿入するPチャネル型薄膜トランジスタ(205)の数は複数個接続しても構わない。本実施例では、図1(a)にNチャネル型薄膜トランジスタ(204)およびPチャネル型薄膜トランジスタ(205)が挿入されたものであるので、図10に示す構造を基本としたものであることに違いはない。

【0018】〔実施例6〕図2(b)に示すのは、薄膜トランジスタで構成されるインバータ回路において、図1(c)で示すインバータ回路の2個のNチャネル型薄膜トランジスタ(105、103)の間に、常時ON状態にしたPチャネル型薄膜トランジスタ(205)を挿入した例である。この該Pチャネル型薄膜トランジスタにより電圧降下をし、GNDにソース電極を接地したNチャネル型薄膜トランジスタ(203)の特性の劣化を防止することができる。尚、挿入するPチャネル型薄膜トランジスタ(205)の数は複数個接続しても構わない。本実施例では、図1(a)にNチャネル型薄膜トランジスタ(206)およびPチャネル型薄膜トランジスタ(205)が挿入されたものであるので、図10に示す構造を基本としたものであることに違いはない。

【0019】〔実施例7〕図2(c)に示すのは、薄膜

トランジスタで構成されるインバータ回路において、図1(d)で示すインバータ回路のPチャネル型薄膜トランジスタ(106)とNチャネル型薄膜トランジスタ(103)の間に、該インバータ回路の入力信号を印加したNチャネル型薄膜トランジスタ(208)を挿入した例である。このNチャネル型薄膜トランジスタにより電圧降下をし、GNDにソース電極を接地したNチャネル型薄膜トランジスタ(203)の特性の劣化を防止することができる。尚、挿入するNチャネル型薄膜トランジスタ(208)の数は複数個接続しても構わない。本実施例では、図1(a)にNチャネル型薄膜トランジスタ(208)およびPチャネル型薄膜トランジスタ(207)が挿入されたものであるので、図10に示す構造を基本としたものであることに違いはない。

【0020】〔実施例8〕図2(d)に示すのは、薄膜トランジスタで構成されるインバータ回路において、図1(d)で示すインバータ回路のPチャネル型薄膜トランジスタ(106)とNチャネル型薄膜トランジスタ(103)の間に、常時ON状態にしたNチャネル型薄膜トランジスタ(208)を挿入した例である。この該Nチャネル型薄膜トランジスタにより電圧降下をし、GNDにソース電極を接地したNチャネル型薄膜トランジスタ(203)の特性の劣化を防止することができる。尚、挿入するNチャネル型薄膜トランジスタ(208)の数は複数個接続しても構わない。本実施例では、図1(a)にNチャネル型薄膜トランジスタ(208)およびPチャネル型薄膜トランジスタ(207)が挿入されたものであるので、図10に示す構造を基本としたものであることに違いはない。

【0021】〔実施例9〕図3(a)に示すのは、薄膜トランジスタで構成されるインバータ回路において、Pチャネル型薄膜トランジスタ(301)とNチャネル型薄膜トランジスタ(302)の間にNチャネル型薄膜トランジスタ(303)とPチャネル型薄膜トランジスタ(304)を挿入した例である。前記Nチャネル型薄膜トランジスタ(303)は、該インバータ回路の入力信号が印加され、前記Pチャネル型薄膜トランジスタ(304)は常時ON状態にされている。そのため、上記2個の挿入された薄膜トランジスタの電圧降下により、GNDにソース電極を接地したNチャネル型薄膜トランジスタ(302)の特性の劣化を防止することができる。尚、挿入するNチャネル型薄膜トランジスタ(303)、Pチャネル型薄膜トランジスタ(304)の数は複数個接続しても構わない。

【0022】〔実施例10〕図3(b)に示すのは、薄膜トランジスタで構成されるインバータ回路において、Pチャネル型薄膜トランジスタ(301)とNチャネル型薄膜トランジスタ(302)の間にNチャネル型薄膜トランジスタ(305)とPチャネル型薄膜トランジスタ(304)を挿入した例である。前記Nチャネル型



Pチャネル型両薄膜トランジスタ(305、304)は、常時ON状態にされている。そのため、上記2個の挿入された薄膜トランジスタの電圧降下により、GNDにソース電極を接地したNチャネル形薄膜トランジスタ(302)の特性の劣化を防止することができる。尚、挿入するNチャネル型薄膜トランジスタ(305)、Pチャネル型薄膜トランジスタ(304)の数は複数個接続しても構わない。

【0023】〔実施例11〕図3(c)に示すのは、薄膜トランジスタで構成されるインバータ回路において、Pチャネル型薄膜トランジスタ(301)とNチャネル型薄膜トランジスタ(302)の間にNチャネル型薄膜トランジスタ(306)を挿入した例である。前記Nチャネル型薄膜トランジスタ(306)は、該インバータ回路の入力信号が印加されている。そのため上記挿入された薄膜トランジスタの電圧降下により、GNDにソース電極を接地したNチャネル型薄膜トランジスタ(302)の特性の劣化を防止することができる。尚、挿入するNチャネル型薄膜トランジスタ(306)の数は複数個接続しても構わない。

【0024】〔実施例12〕図7(a)に示すのは、薄膜トランジスタで構成されるNAND回路において、2個のNチャネル型薄膜トランジスタ(701、702)の間に、常時ON状態にされたNチャネル型薄膜トランジスタ(703)を挿入した例である。この場合では、Nチャネル型薄膜トランジスタ(703)の電圧降下により、GNDにソース電極を接地したNチャネル型薄膜トランジスタ(702)の特性の劣化を防止することができる。尚、挿入するNチャネル型薄膜トランジスタ(703)の数は複数個接続しても構わない。

【0025】〔実施例13〕図7(b)に示すのは、薄膜トランジスタで構成されるNAND回路において、2個のNチャネル型薄膜トランジスタ(704、702)の間に、Nチャネル型薄膜トランジスタ(705)を挿入し、該挿入したNチャネル型薄膜トランジスタ(705)と入力端子A、即ちNチャネル型薄膜トランジスタ(704)と接続した例である。この場合では、Nチャネル型薄膜トランジスタ(705)の電圧降下により、GNDにソース電極を接地したNチャネル型薄膜トランジスタ(702)の特性の劣化を防止することができる。尚、挿入するNチャネル型薄膜トランジスタ(705)の数は複数個接続しても構わない。

【0026】〔実施例14〕図7(c)に示すのは、薄膜トランジスタで構成されるNAND回路において、2個のNチャネル型薄膜トランジスタ(701、706)の間に、Nチャネル型薄膜トランジスタ(707)を挿入し、該挿入したNチャネル型薄膜トランジスタ(707)と入力端子B、即ちNチャネル型薄膜トランジスタ(706)と接続した例である。この場合では、Nチャネル型薄膜トランジスタ(707)の電圧降下により、

GNDにソース電極を接地したNチャネル型薄膜トランジスタ(706)の特性の劣化を防止することができる。尚、挿入するNチャネル型薄膜トランジスタ(707)の数は複数個接続しても構わない。

【0027】〔実施例15〕図7(d)に示すのは、薄膜トランジスタで構成されるNAND回路において、2個のNチャネル型薄膜トランジスタ(701、702)の間に、常時ON状態にされたPチャネル型薄膜トランジスタ(708)を挿入した例である。この場合では、Pチャネル型薄膜トランジスタ(708)の電圧降下により、GNDにソース電極を接地したNチャネル型薄膜トランジスタ(702)の特性の劣化を防止することができる。尚、挿入するPチャネル型薄膜トランジスタ(708)の数は複数個接続しても構わない。

【0028】〔実施例16〕図8(a)に示すのは、薄膜トランジスタで構成されるNAND回路において、図7(b)で示すNAND回路の2個のNチャネル型薄膜トランジスタ(704、705)の間に、常時ON状態にされたNチャネル型薄膜トランジスタ(803)を挿入した例である。この場合では、Nチャネル型薄膜トランジスタ(803、804)の電圧降下により、GNDにソース電極を接地したNチャネル型薄膜トランジスタ(802)の特性の劣化を防止することができる。尚、挿入するNチャネル型薄膜トランジスタ(803)の数は複数個接続しても構わない。

【0029】〔実施例17〕図8(b)に示すのは、薄膜トランジスタで構成されるNAND回路において、図7(b)で示すNAND回路の2個のNチャネル型薄膜トランジスタ(704、705)の間に、常時ON状態にされたPチャネル型薄膜トランジスタ(805)を挿入した例である。この場合では、Nチャネル型薄膜トランジスタ(804)・Pチャネル型薄膜トランジスタ(805)の電圧降下により、GNDにソース電極を接地したNチャネル型薄膜トランジスタ(802)の特性の劣化を防止することができる。尚、挿入するPチャネル型薄膜トランジスタ(805)の数は複数個接続しても構わない。

【0030】〔実施例18〕図8(c)に示すのは、薄膜トランジスタで構成されるNAND回路において、図7(c)で示すNAND回路の2個のNチャネル型薄膜トランジスタ(706、707)の間に、常時ON状態にされたNチャネル型薄膜トランジスタ(808)を挿入した例である。この場合では、Nチャネル型薄膜トランジスタ(807、808)の電圧降下により、GNDにソース電極を接地したNチャネル型薄膜トランジスタ(806)の特性の劣化を防止することができる。尚、挿入するNチャネル型薄膜トランジスタ(808)の数は複数個接続しても構わない。

【0031】〔実施例19〕図8(d)に示すのは、薄膜トランジスタで構成されるNAND回路において、図



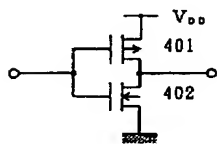
7(c)で示すNAND回路の2個のNチャネル型薄膜トランジスタ(706、707)の間に、常時ON状態にされたPチャネル型薄膜トランジスタ(809)を挿入した例である。この場合では、Nチャネル型薄膜トランジスタ(807)・Pチャネル型薄膜トランジスタ(809)の電圧降下により、GNDにソース電極を接地したNチャネル型薄膜トランジスタ(806)の特性の劣化を防止することができる。尚、挿入するPチャネル型薄膜トランジスタ(809)の数は複数個接続しても構わない。

【0032】【実施例20】図9に示すのは、薄膜トランジスタで構成されるNAND回路において、2個のNチャネル型薄膜トランジスタ(901、902)の間に、2個のNチャネル型薄膜トランジスタ(903、904)を挿入した例である。この場合、入力A、Bに対して薄膜トランジスタを交差して接続(Nチャネル型薄膜トランジスタ901と904、Nチャネル型薄膜トランジスタ902と903)している。Nチャネル型薄膜トランジスタ(903、904)の電圧降下により、GNDにソース電極を接地したNチャネル型薄膜トランジスタ(902)の特性の劣化を防止することができる。尚、挿入するNチャネル型薄膜トランジスタの数は複数個接続しても構わない。

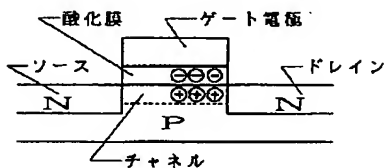
#### 【0033】

【発明の効果】本発明に示されるように、GNDにソース電極を接地したNチャネル型薄膜トランジスタのドレイン電極にNチャネル型またはPチャネル型の薄膜トランジスタを接続することにより、電圧降下を生じさせ、前記GNDにソース電極を接地したNチャネル型薄膜トランジスタのドレイン近傍の電界が弱めることができる。そして、該Nチャネル型薄膜トランジスタの特性の劣化を防止できる。そして、それに伴い、薄膜半導体集積回路の信頼性も向上させることができる。

【図4】



【図5】



#### 【図面の簡単な説明】

【図1】 本発明による薄膜半導体集積回路における薄膜トランジスタによるトランスミッションゲート回路を使用したインバータ回路図の例を示す。

【図2】 本発明による薄膜半導体集積回路における薄膜トランジスタによるトランスミッションゲート回路を使用し構成したインバータ回路図の例を示す。

【図3】 本発明による薄膜半導体集積回路における薄膜トランジスタによるNチャネル型薄膜トランジスタまたはPチャネル型薄膜トランジスタを挿入して構成したインバータ回路図の例を示す。

【図4】 従来の薄膜半導体集積回路におけるインバータ回路図の例を示す。

【図5】 従来の薄膜半導体集積回路におけるNチャネル型薄膜トランジスタのチャンネルの劣化の例を示す。

【図6】 従来の薄膜半導体集積回路におけるNチャネル型薄膜トランジスタの特性の劣化が生じた場合の $V_{DS} - I_D$ を示す。

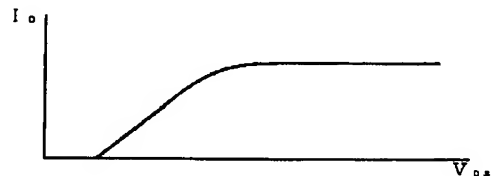
【図7】 本発明による薄膜半導体集積回路における薄膜トランジスタによるNチャネル型薄膜トランジスタとPチャネル型薄膜トランジスタを挿入して構成したNAND回路図の例を示す。

【図8】 本発明による薄膜半導体集積回路における薄膜トランジスタによるNチャネル型薄膜トランジスタとPチャネル型薄膜トランジスタを挿入して構成したNAND回路図の例を示す。

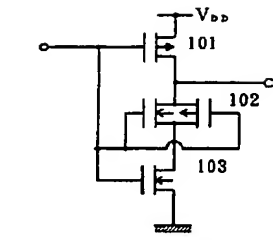
【図9】 本発明による薄膜半導体集積回路における薄膜トランジスタによるNチャネル型薄膜トランジスタ挿入して構成したNAND回路図の例を示す。

【図10】 本発明による薄膜半導体集積回路における薄膜トランジスタによるトランスミッションゲート回路を使用し構成したインバータ回路のレイアウトの例を示す。

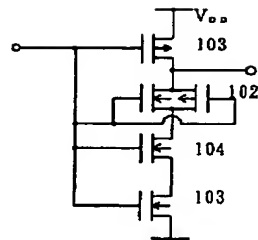
【図6】



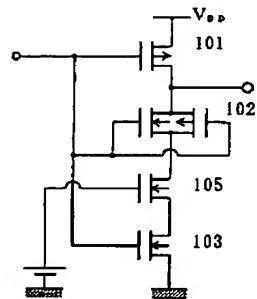
【図1】



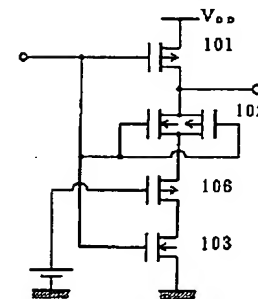
(a)



(b)

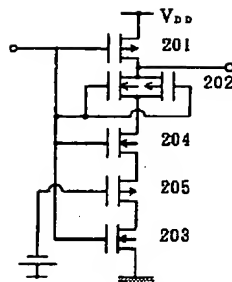


(c)

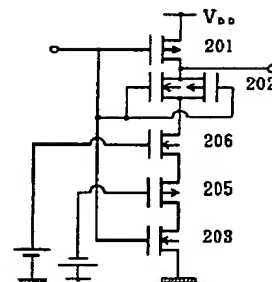


(d)

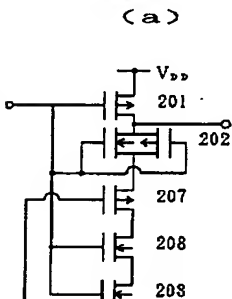
【図2】



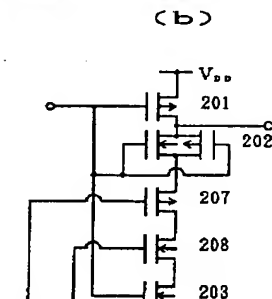
(a)



(b)

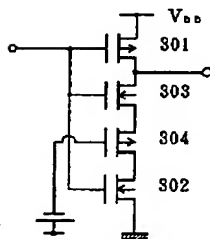


(c)

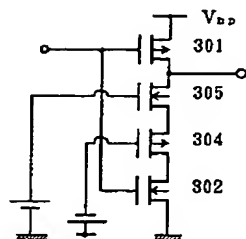


(d)

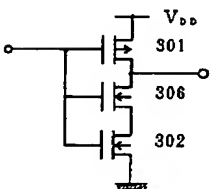
【図3】



(a)

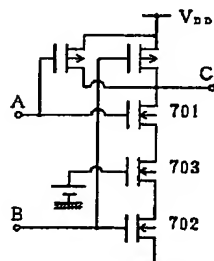


(b)

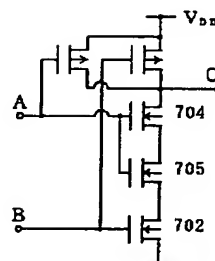


(c)

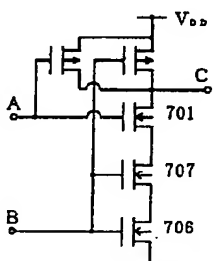
【図7】



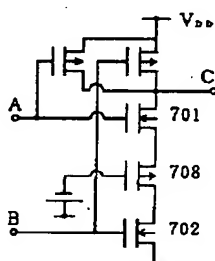
(a)



(b)

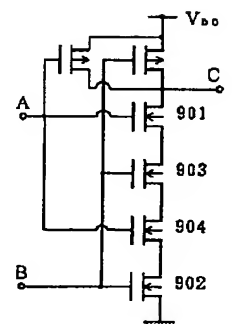


(c)

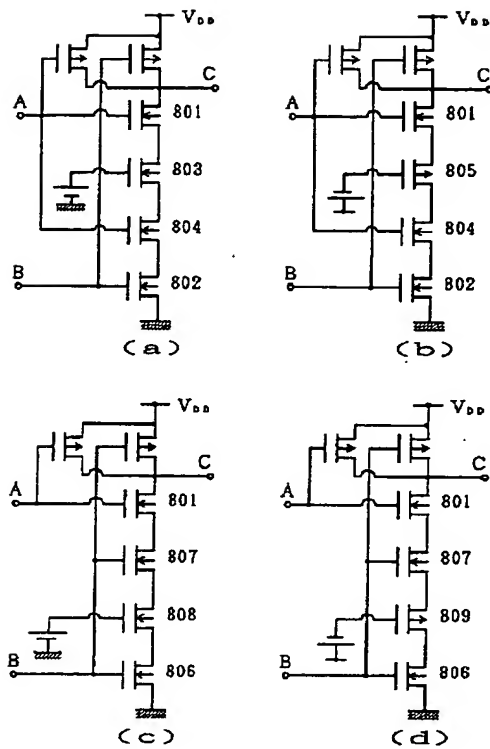


(d)

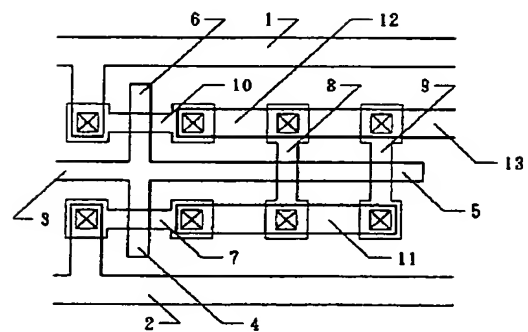
【図9】



【図8】



【図10】



フロントページの続き

(58) 調査した分野 (Int. Cl.<sup>7</sup>, DB名)

H01L 29/786  
H01L 21/336  
H01L 27/08  
H01L 27/092  
H01L 21/8238  
H03K 19/0948